

## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 23 日  
Application Date

申請案號：092120044  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 15 日  
Issue Date

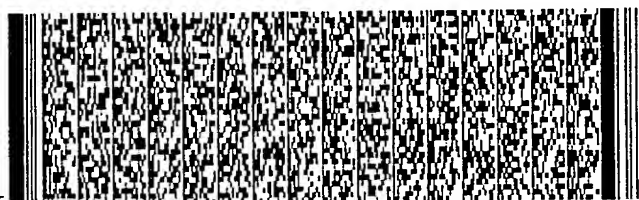
發文字號：09221038370  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	形成溝槽隔離區之方法
	英 文	A method of fabricating a trench isolation with high aspect ratio
二、 發明人 (共4人)	姓 名 (中文)	1. 楊勝威 2. 施能泰 3. 廖文生
	姓 名 (英文)	1. Sheng-Wei Yang 2. Neng-Tai Shih 3. Wen-Sheng Liao
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北縣板橋市萬安街21巷20號3樓 2. 台北市莊敬路269號3樓 3. 台北市長安西路145巷23號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 張志豪
	姓名 (英文)	4. Chih-How Chang
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 台北縣泰山鄉工專路84之48號5樓
	住居所 (英文)	4.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：形成溝槽隔離區之方法)

一種形成溝槽隔離區之方法。上述方法包括下列步驟：提供形成一溝槽之半導體基底，以低壓化學氣相沉積法，於基底表面形成一第一介電層，並填入溝槽中。回蝕刻第一介電層，使其上表面低於溝槽口，再以高密度電漿化學氣相沉積法，形成一第二介電層覆蓋於第一介電層上，之後，使其平坦化，並提供一快速回火程序。依照本發明方法，可以形成具有高/低深寬比且無孔洞之溝槽隔離區。

伍、(一)、本案代表圖為：第2D圖。

(二)、本案代表圖之元件代表符號簡單說明：

100~矽基底；

101~氧化層；

102~氮化矽層；

103~第一溝槽；

六、英文發明摘要 (發明名稱：A method of fabricating a trench isolation with high aspect ratio)

A method of fabricating a trench isolation with high aspect ratio. The method comprises the steps of: providing a substrate with a trench; depositing a first isolation layer filling the trench by low pressure chemical vapor deposition; etching back the first isolation layer with its surface lowered down to the opening of the trench; depositing a second isolation layer filling the trench without

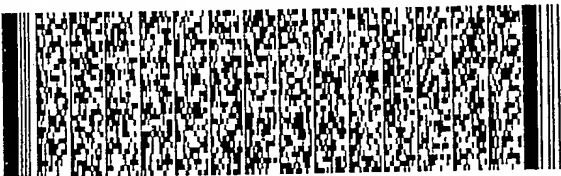


四、中文發明摘要 (發明名稱：形成溝槽隔離區之方法)

- 104~ 第二溝槽；
- 105~ 薄氧化層；
- 106~ 薄氮化矽層；
- 107~ 第一介電層；
- 109~ 間隙壁；
- 110~ 第二介電層。

六、英文發明摘要 (發明名稱：A method of fabricating a trench isolation with high aspect ratio)

voids by high density plasma chemical vapor deposition; and achieving global planarization by chemical-mechanical polishing then providing a rapidly annealing procedure. According to the present invention, a void-free trench isolation with high aspect ratio is accomplished.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

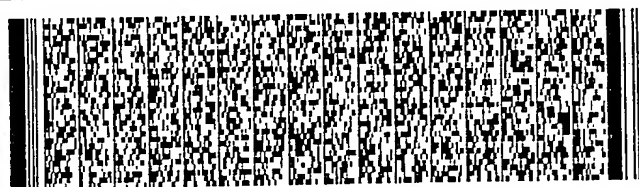
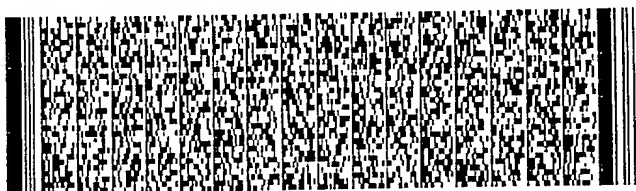
### 【發明所屬之技術領域】

本發明係有關於半導體積體電路的製造，特別是有關於一種溝槽隔離區(trench isolation)的製作方法。

### 【先前技術】

近年來，隨著半導體積體電路製造技術的發展，晶片中所含元件的數量不斷增加，元件的尺寸也因積集度的提昇而不斷地縮小，生產線上使用的線路寬度已由次微米(sub-micron)進入了四分之一微米(quarter-micron)甚或更細微尺寸的範圍。而無論元件尺寸如何縮小化，在晶片中各個元件之間仍必須有適當地絕緣或隔離，方可得到良好的元件性質。這方面的技術一般稱為元件隔離技術(device isolation technology)，其主要目的係在各元件之間形成隔離物，並且在確保良好隔離效果的情況下，儘量縮小隔離物的區域，以空出更多的晶片面積來容納更多的元件。

在各種元件隔離技術中，局部矽氧化方法(LOCOS)和溝槽隔離區(trench isolation)製程是最常被採用的兩種技術，尤其後者具有隔離區域小和完成後仍保持基底平坦性等優點，更是近來頗受重視的半導體製造技術。習知技術中，以傳統高密度電漿化學氣相沉積(HDPCVD)程序製作高深寬比(深寬比大於6)溝槽的隔離物時，須歷經多次沉積與蝕刻的循環步驟方能完成溝槽隔離區的製作，除耗費成本外亦會降低晶片生產率，且隨著積體電路密度不斷提



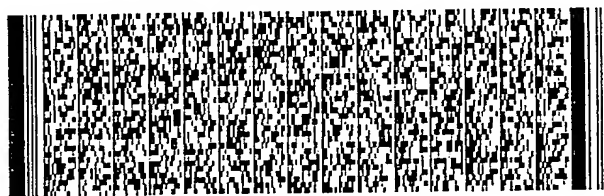
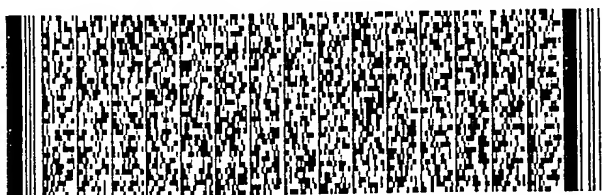
## 五、發明說明 (2)

高而元件尺寸日漸縮小的發展，上述習知之沉積技術因步階覆蓋能力(step coverage)的問題，並不易將介電層完全填滿溝槽，導致元件的隔離效果受到影響。

目前在業界的製程中，為了提昇溝槽之沉積技術的步階覆蓋能力，亦有使用低壓化學氣相沉積(LPCVD)，為了進一步說明該技術內容，以下請參照第1A至1B圖，說明其製程流程。

如第1A圖所示者，在一半導體基底10表面上形成一遮蔽層，例如於一矽晶圓表面上，以化學氣相沉積法(CVD)或熱氧化成長法形成一氧化層11。然後，在氧化層11表面上，以CVD程序沉積一氮化矽層12，二者共同構成遮蔽層。接著，以微影成像(photolithography)和蝕刻程序，定義出氮化矽層12和氧化層11的圖案，用以露出半導體基底10欲形成元件隔離區的部分。利用上述遮蔽層的圖案當作罩幕，施行一蝕刻程序而在半導體基底中形成一溝槽以露出半導體基底10欲形成元件隔離區的部分。

其次，請參照第1B圖，以熱氧化程序(thermal oxidation)成長一薄氧化層14，覆蓋在溝槽底面及側壁上，用以當作襯層(liner)。之後，於上述遮蔽層與薄氧化層14表面順應性地形成一薄氮化矽層16，亦為當作襯層。接著，施行低壓化學氣相沉積程序，例如使用TEOS當作反應原料，沉積一作為介電層之TEOS層18，並填滿溝槽，得到如第1B圖之構造。目前在高深寬比之淺溝槽隔離區的製程中，低壓化學氣相沉積法雖可改善步階覆蓋的能





### 五、發明說明 (3)

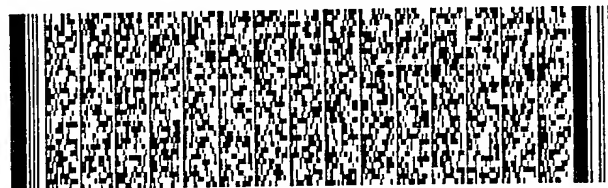
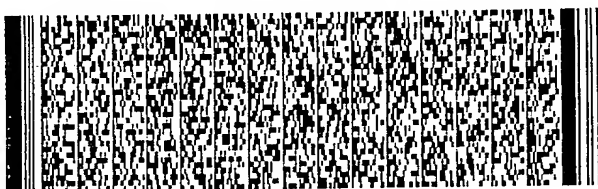
力但可能造成的缺點可參照第1C圖。

如第1C圖顯示，當溝槽的深寬比越高時，例如當該溝槽深寬比大於6時，則目前的低壓化學氣相沉積程序所沉積的氧化層18就很容易在溝槽口附近產生孔洞20，如此一來，蝕刻液會進入孔洞20內，並蝕刻氧化層18而導致孔洞尺寸增大，過大的孔洞將會導致結構的不穩定，而影響元件的可靠度。且TEOS層本身的介電性質較差，須透過較高溫度與較長時間的回火程序方能有效提升其介電性質，而往往因回火條件過於劇烈，造成週邊其他元件的損壞。

#### 【發明內容】

有鑑於此，本發明之目的係提供一種半導體元件溝槽隔離區的改良製程：為一簡化、低成本的製作程序，其可改善介電層填入溝槽的能力，並提供一快速回火的處理程序。

為了達成上述目的，本發明提出一種溝槽隔離區之製作方法，其步驟包括：提供形成一溝槽的半導體基底，以低壓化學氣相沉積法，於基底表面形成一第一介電層，並填入溝槽中。回蝕刻第一介電層，使其上表面低於溝槽口，再以高密度電漿化學氣相沉積法，形成一第二介電層覆蓋於第一介電層上，之後，使其平坦化，並提供一快速回火程序。本發明係合併低壓化學氣相沉積與高密度電漿化學氣相沉積兩方法並依序進行，一則可免除習知技術中，傳統高密度電漿化學氣相沉積法須多次沉積後蝕刻的繁複

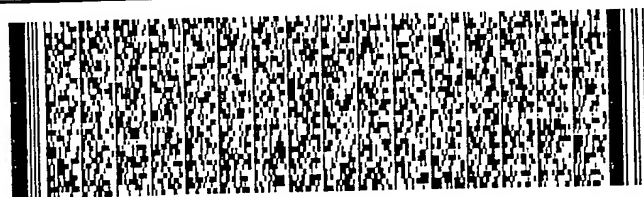


#### 五、發明說明 (4)

、高成本步驟，使製程達到簡化、低成本的要求。二則因依序填充第一介電層與第二介電層的結果，使得介電性質較佳的第二介電層僅須經一短時間的快速回火即可提升其介電性質至製程要求。另外在本發明的蝕刻步驟中，依序以非等向性蝕刻與氫氟酸之濕蝕刻法進行，可有效控制第一介電層的上表面低於溝槽口一特定高度以確實去除沉積過程中在溝槽口附近產生的孔洞，改善溝槽充填效果。

本發明另一型態的溝槽隔離區製作方法，其步驟包括：提供形成一相對高之深寬比的第一溝槽與一相對低之深寬比的第二溝槽的半導體基底，以低壓化學氣相沉積法，於基底表面形成一第一介電層，並填入兩溝槽中。回蝕刻第一介電層，使其上表面低於第一溝槽口一特定高度，另外在第二溝槽側壁形成一間隙壁。再以高密度電漿化學氣相沉積法，形成一第二介電層覆蓋於第一介電層上，之後，使其平坦化，並提供一快速回火程序。本型態的製作方法除保有前述製作方法的優點外，依結果顯示，其適用於製作同時具有不同深寬比的溝槽隔離物，如系統單晶片(SOC)、100 nm動態隨機存取記憶體(DRAM)等產品。

根據本發明之一種溝槽隔離區製作方法的較佳實施例，其中上述低壓化學氣相沉積法係採用四乙烷基氧矽烷(TEOS, tetraethoxysilane)為反應原料。而蝕刻係依序採用非等向性蝕刻與氫氟酸濕蝕刻法，蝕刻基底上與溝槽側壁的TEOS層，以便後續之高密度電漿化學氣相沉積程序。而最後的高密度電漿化學氣相沉積程序係使用氧氣( $O_2$ )



#### 五、發明說明 (5)

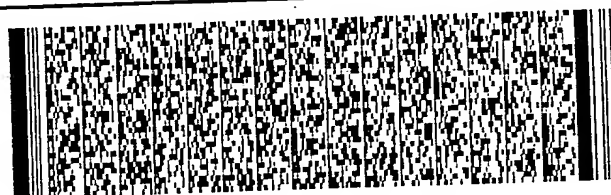
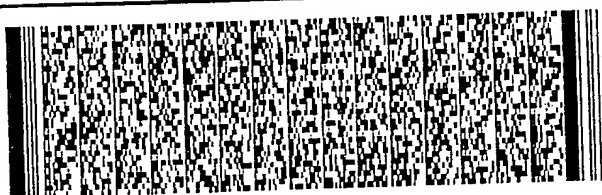
和矽甲烷( $\text{SiH}_4$ )當作反應物，並施以Ar電漿濺擊(sputter)以沉積第二介電層。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

首先，如第2A圖所示，在一半導體基底100，例如一矽晶圓表面上，以CVD程序或熱氧化成長程序形成一氧化矽層101。然後，在氧化層101表面上，以CVD程序沉積一氮化矽層102，二者共同構成一遮蔽層。接著，以微影成像(photolithography)和蝕刻程序，定義出氮化矽層102和氧化層101的圖案，用以露出半導體基底100欲形成元件隔離區的部分。利用上述遮蔽層的圖案當作罩幕，施行一蝕刻程序而在半導體基底中形成一相對高之深寬比的第一溝槽103與一相對低之深寬比的第二溝槽104。然後，以熱氧化程序(thermal oxidation)成長一薄氧化層105，覆蓋在溝槽底面及側壁上，用以當作襯層(liner)。之後，於上述遮蔽層與薄氧化層105表面順應性地形成一薄氮化矽層106，亦當作襯層。

接著，請參照第2B圖，進行本發明低壓氣相沉積程序，例如採用四乙烷基氧矽烷(TEOS)為原料，於薄氮化矽層106表面沉積一第一介電層107，其厚度介於500~3500



#### 五、發明說明 (6)

埃。因第一溝槽103有相對高之深寬比，使得第一介電層107填入第一溝槽103時在溝槽口附近會產生孔洞108。

然後，請參見第2C圖，依序以非等向性蝕刻如活性離子蝕刻(RIE)或電漿蝕刻與氫氟酸之濕蝕刻法進行蝕刻步驟，其中，使用之氫氟酸為稀釋後之氫氟酸溶液，濃度比為200:1。蝕刻後，使第一介電層107上表面低於第一溝槽口介於100~1000埃，而第一介電層107在第二溝槽側壁形成一間隙壁109。

再者，請參見第2D圖，進行高密度電漿化學氣相沉積程序，以高密度電漿化學氣相沉積法，例如使用氧氣( $O_2$ )和矽甲烷( $SiH_4$ )當作反應物，同時施以Ar電漿濺擊，於第一介電層107上沉積第二介電層110，上述程序依序以相對低沉積/濺鍍比(3~5)與相對高沉積/濺鍍比(3~5)之高密度電漿化學氣相沉積法分別進行。

最後，請參見第2E圖，施行一平坦化程序如化學性機械研磨法，磨除第二介電層110高出氮化矽層102表面的部分，該化學機械研磨法係以泥漿或固定研磨化學機械研磨法進行。而留下溝槽中的部分，即形成所需之溝槽隔離區。之後，以一快速回火程序，其工作條件如(溫度900°C；時間15~30min)來增強溝槽隔離物結構，再提供一適當溶劑或蝕刻程序，依序去除氮化矽層102和墊氧化層101而露出元件區，由於其非本發明重點，在此不予贅述。

與習知技術相比較，本發明之淺溝槽隔離區製作方法具有數項優點。首先，本發明方法避免了高深寬比之溝槽



#### 五、發明說明 (7)

隔離區製程上可能在溝槽口附近產生的孔洞缺陷。其次，本發明係採用低壓化學氣相沉積法與高密度電漿化學氣相沉積法合併進行，一般僅用高密度電漿化學氣相沉積程序填充溝槽時，常需要7個或9個步驟才可完成填充，相較之下本發明有簡化步驟與降低成本的優點。而快速的回火程序亦降低了其他週邊元件損壞的可能。綜上所述，依照本發明方法，可以形成具有低或高深寬比且無孔洞的溝槽隔離區，實有助於提昇溝槽隔離區的性質。

本發明雖以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



#### 圖式簡單說明

第1A和1B圖均為剖面圖，繪示習知應用低壓化學氣相沉積技術形成溝槽隔離區之製程，第1C圖為習知形成溝槽隔離區的缺點示意圖；以及

第2A至2E圖為一系列剖面圖，繪示根據本發明改良方法一較佳實施例的製造流程。

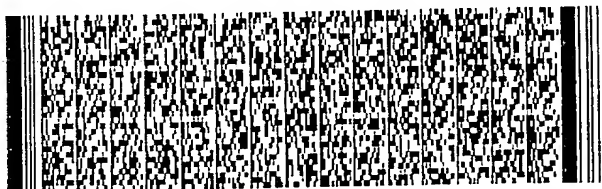
#### 符號說明：

##### 習知部分(第1A至1C圖)：

- 10~矽基底；
- 11~氧化層；
- 12~氮化矽層；
- 14~薄氧化層；
- 16~薄氮化矽層；
- 18~TEOS層；
- 20~孔洞。

##### 本案實施例部分(第2A至2E圖)：

- 100~矽基底；
- 101~氧化層；
- 102~氮化矽層；
- 103~第一溝槽；
- 104~第二溝槽；
- 105~薄氧化層；
- 106~薄氮化矽層；



圖式簡單說明

107~第一介電層；

108~孔洞；

109~間隙壁；

110~第二介電層。



## 六、申請專利範圍

1. 一種形成溝槽隔離區之方法，包括下列步驟：  
提供一半導體基底，且於該基底中形成一溝槽；  
以低壓化學氣相沉積法，於該基底表面形成一第一介電層，且填入該溝槽；  
回蝕刻該第一介電層，使其上表面低於該溝槽口；以及  
以高密度電漿化學氣相沉積法，形成一第二介電層覆蓋該第一介電層，且填滿該溝槽形成一溝槽隔離區。
2. 如申請專利範圍第1項所述之形成溝槽隔離區之方法，其中該形成溝槽之步驟包括：  
提供一半導體基底，其表面上形成一遮蔽層；  
於該遮蔽層定義一圖案；  
以該圖案作為罩幕，於該半導體基底中蝕刻形成一溝槽，以露出該半導體基底；  
以熱氧化程序成長一薄氧化層，覆蓋在該溝槽底面及側壁上；以及  
於上述該遮蔽層與該薄氧化層表面順應性地形成一薄氮化矽層。
3. 如申請專利範圍第2項所述之形成溝槽隔離區之方法，其中該遮蔽層由該基底向上分為一氧化層與一氮化矽層。
4. 如申請專利範圍第1項所述之形成溝槽隔離區之方法，其中該溝槽之深寬比大於6。
5. 如申請專利範圍第1項所述之形成溝槽隔離區之方





六、申請專利範圍

法，其中該第一介電層係四乙氧基矽烷(TEOS, tetraethoxysilane)。

6. 如申請專利範圍第5項所述之形成溝槽隔離區之方法，其中該第一介電層之厚度介於800~3500埃。

7. 如申請專利範圍第1項所述之形成溝槽隔離區之方法，其中該回蝕刻之步驟包括依序以非等向性蝕刻與氫氟酸之濕蝕刻法進行。

8. 如申請專利範圍第1項所述之形成溝槽隔離區之方法，其中該回蝕刻後之該第一介電層上表面低於該溝槽口介於100~1000埃。

9. 如申請專利範圍第1項所述之形成溝槽隔離區之方法，其中該高密度電漿化學氣相沉積法包括依序以相對低沉積/濺鍍比與相對高沉積/濺鍍比之高密度電漿化學氣相沉積法進行。

10. 如申請專利範圍第1項所述之形成溝槽隔離區之方法，其中該第二介電層係二氧化矽層。

11. 如申請專利範圍第1項所述之形成溝槽隔離區之方法，其中該第二介電層之厚度介於2500~10000埃。

12. 如申請專利範圍第1項所述之形成溝槽隔離區之方法，其中該高密度電漿化學氣相沉積法步驟之後更包括平坦化該介電層與該遮蔽層。

13. 如申請專利範圍第12項所述之形成溝槽隔離區之方法，其中係以化學機械研磨法進行平坦化。

14. 如申請專利範圍第13項所述之形成溝槽隔離區之



#### 六、申請專利範圍

方法，其中該化學機械研磨法係以泥漿或固定研磨化學機械研磨法進行。

15. 如申請專利範圍第13項所述之形成溝槽隔離區之方法，其中該化學機械研磨法步驟之後更包括一快速回火程序。

16. 一種形成溝槽隔離區之方法，包括下列步驟：

提供一半導體基底，且於該基底中形成一相對高之深寬比之第一溝槽與一相對低之深寬比之第二溝槽；

以低壓化學氣相沉積法，於該基底表面形成一第一介電層，且填入上述兩溝槽；

回蝕刻該第一介電層，使其上表面低於上述兩溝槽口，其中該第一介電層在該第二溝槽側壁形成一間隙壁；以及

以高密度電漿化學氣相沉積法，形成一第二介電層覆蓋該第一介電層，且填滿上述兩溝槽形成一溝槽隔離區。

17. 如申請專利範圍第16項所述之形成溝槽隔離區之方法，其中形成一相對高之深寬比之第一溝槽與一相對低之深寬比之第二溝槽之步驟包括：

提供一半導體基底，其表面上形成遮蔽層；

於該遮蔽層定義一圖案；

以該圖案作為罩幕，於該半導體基底中蝕刻形成一相對高之深寬比之第一溝槽與一相對低之深寬比之第二溝槽，以露出該半導體基底；

以熱氧化程序成長一薄氧化層，覆蓋在上述兩溝槽底



## 六、申請專利範圍

面及側壁上；以及

於上述該遮蔽層與該薄氧化層表面順應性地形成一薄氮化矽層。

18. 如申請專利範圍第17項所述之形成溝槽隔離區之方法，其中該遮蔽層由該基底向上分為一氧化層與一氮化矽層。

19. 如申請專利範圍第16項所述之形成溝槽隔離區之方法，其中該第一介電層係四乙氧基矽烷(TEOS, tetraethoxysilane)。

20. 如申請專利範圍第19項所述之形成溝槽隔離區之方法，其中該第一介電層之厚度介於500~3500埃。

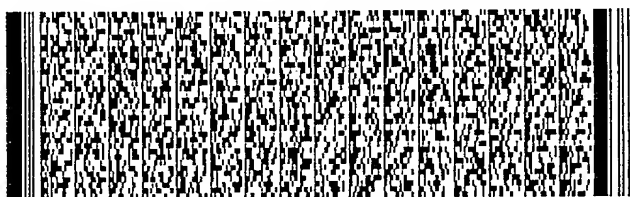
21. 如申請專利範圍第16項所述之形成溝槽隔離區之方法，其中該回蝕刻之步驟包括依序以非等向性蝕刻與氫氟酸之濕蝕刻法進行。

22. 如申請專利範圍第16項所述之形成溝槽隔離區之方法，其中該回蝕刻後之該第一介電層上表面低於該第一溝槽口介於100~1000埃。

23. 如申請專利範圍第16項所述之形成溝槽隔離區之方法，其中該高密度電漿化學氣相沉積法包括依序以相對低沉積/濺鍍比與相對高沉積/濺鍍比之高密度電漿化學氣相沉積法進行。

24. 如申請專利範圍第16項所述之形成溝槽隔離區之方法，其中該第二介電層係二氧化矽層。

25. 如申請專利範圍第16項所述之形成溝槽隔離區之



六、申請專利範圍

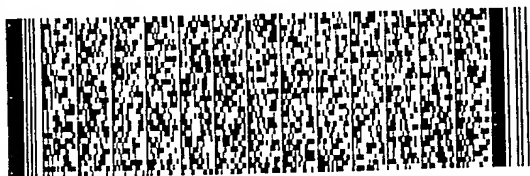
方法，其中該第二介電層之厚度介於2500~10000埃。

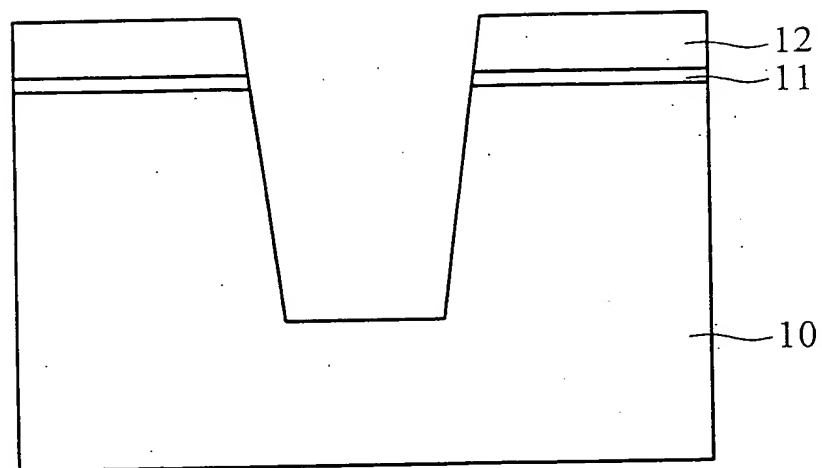
26. 如申請專利範圍第16項所述之形成溝槽隔離區之方法，其中該高密度電漿化學氣相沉積法步驟之後更包括平坦化該介電層與該遮蔽層。

27. 如申請專利範圍第26項所述之形成溝槽隔離區之方法，其中係以化學機械研磨法進行平坦化。

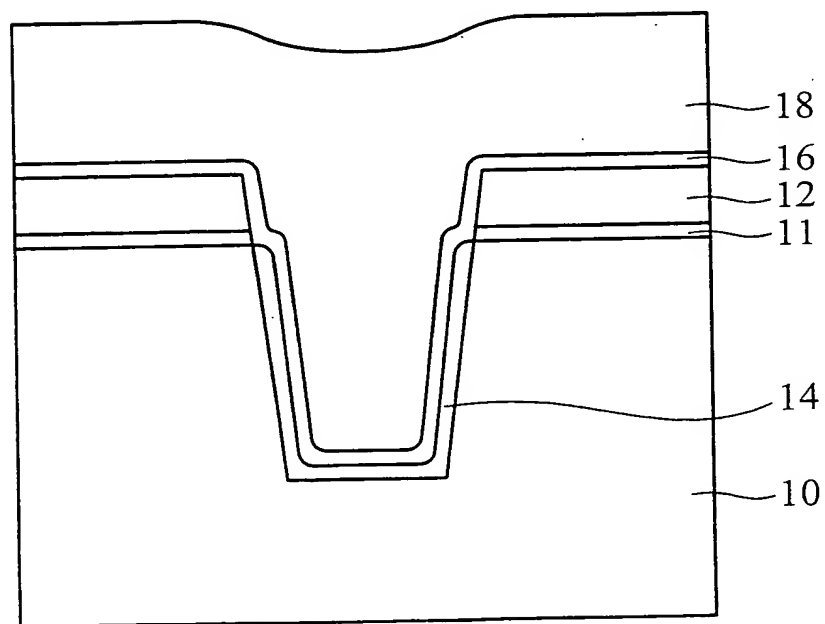
28. 如申請專利範圍第27項所述之形成溝槽隔離區之方法，其中該化學機械研磨法係以泥漿或固定研磨化學機械研磨法進行。

29. 如申請專利範圍第27項所述之形成溝槽隔離區之方法，其中該化學機械研磨法步驟之後更包括一快速回火程序。

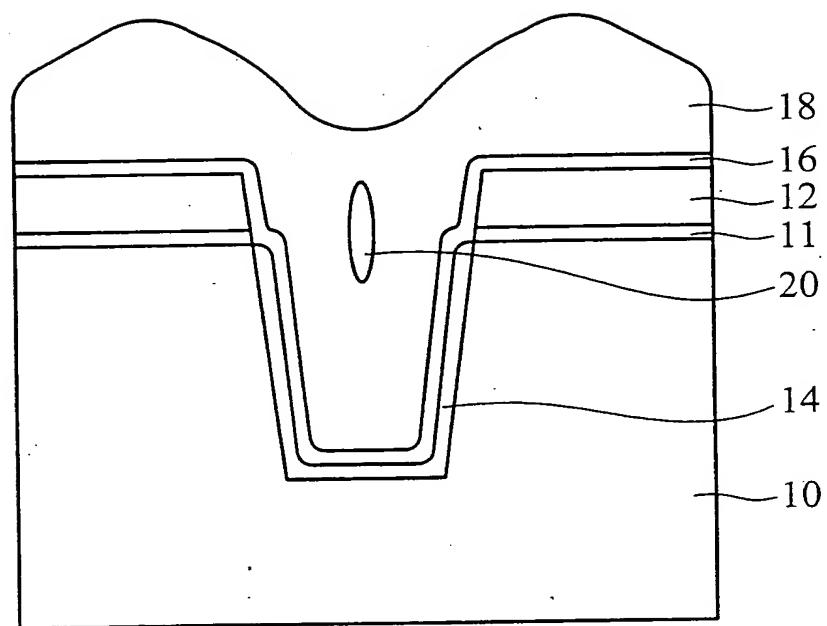




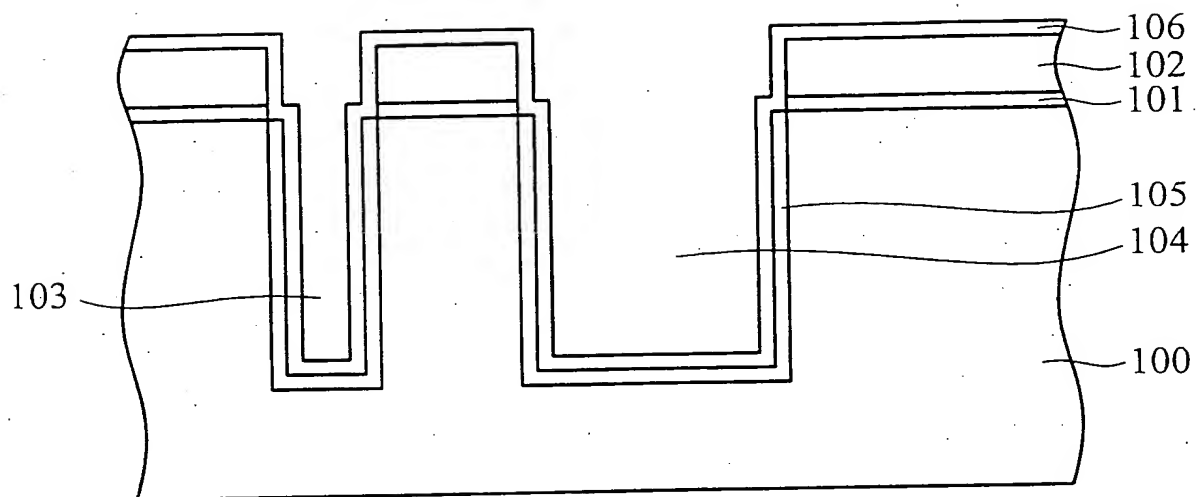
第 1A 圖



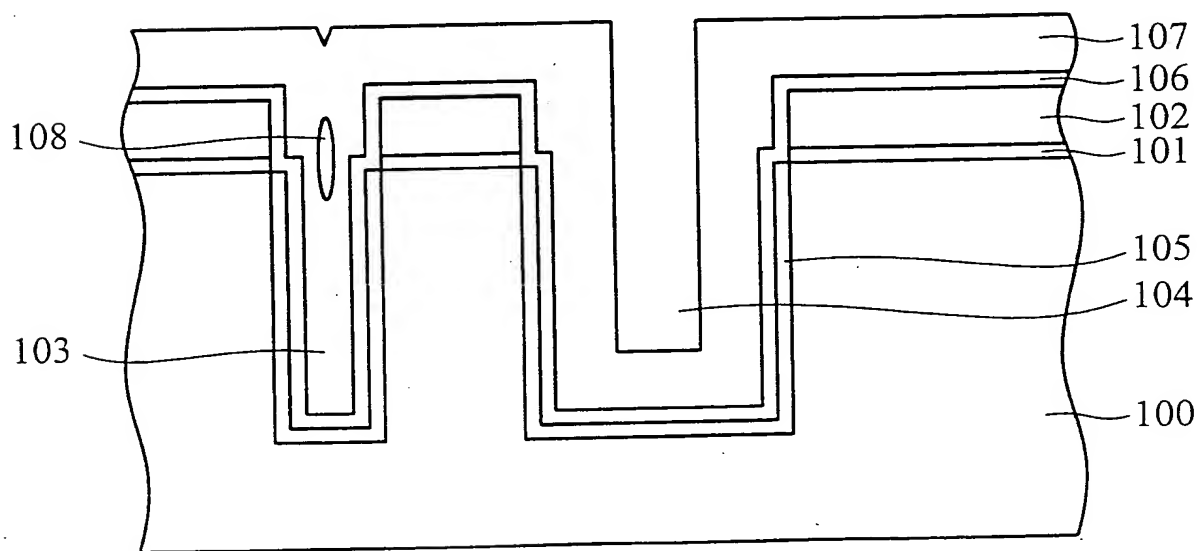
第 1B 圖



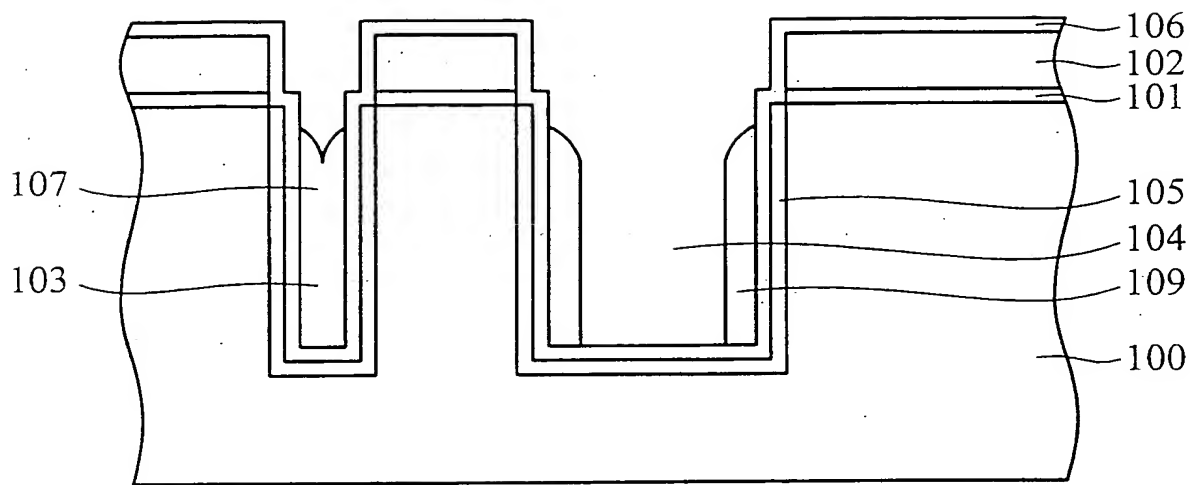
第 1C 圖



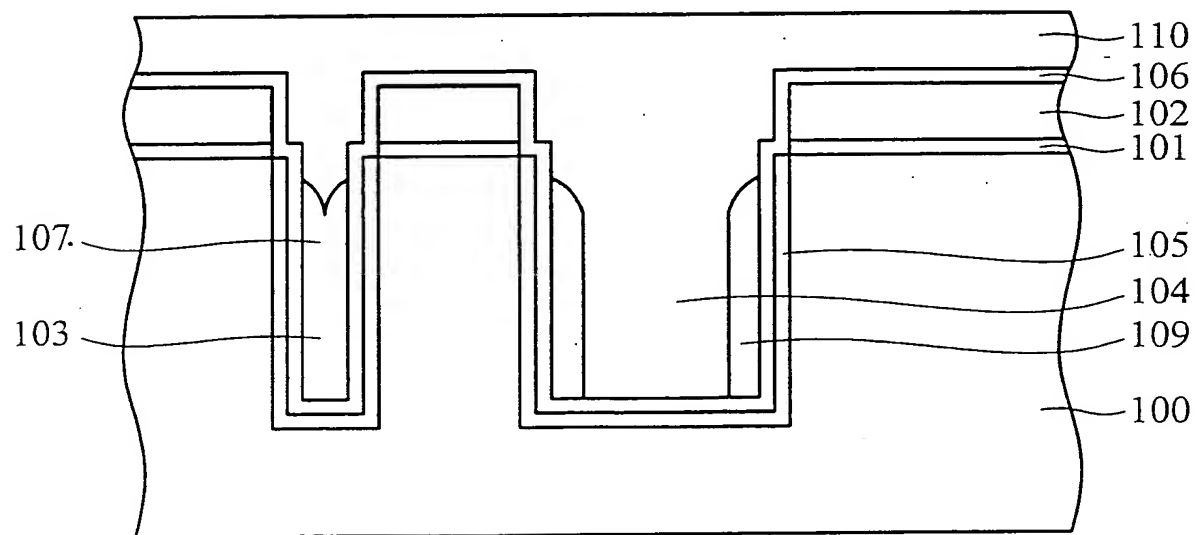
第2A圖



第2B圖

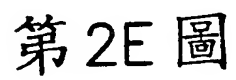


第 2C 圖



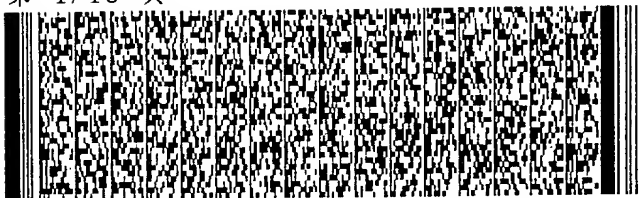
第 2D 圖





第 2E 圖

第 1/19 頁



第 2/19 頁



第 3/19 頁



第 3/19 頁



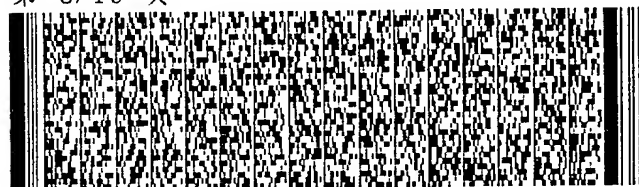
第 4/19 頁



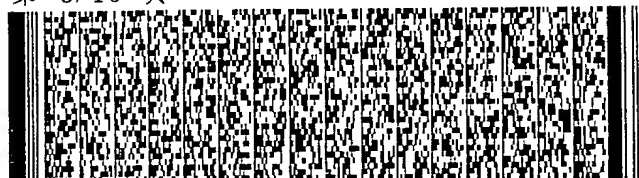
第 5/19 頁



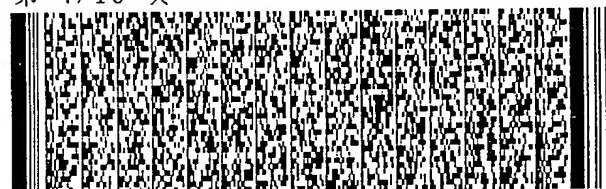
第 6/19 頁



第 6/19 頁



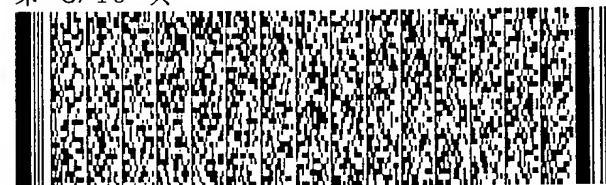
第 7/19 頁



第 7/19 頁



第 8/19 頁



第 8/19 頁



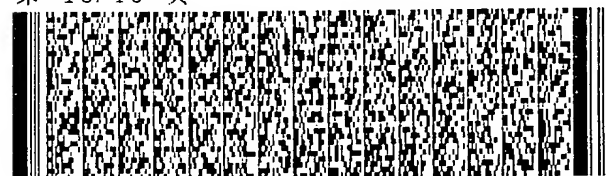
第 9/19 頁



第 9/19 頁



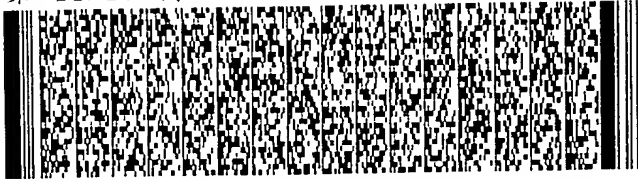
第 10/19 頁



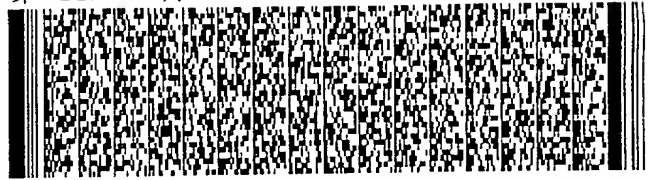
第 10/19 頁



第 11/19 頁



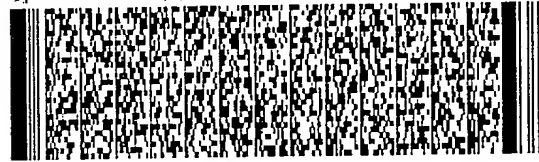
第 11/19 頁



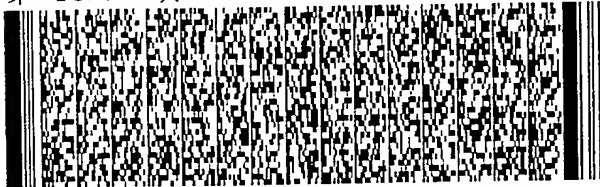
第 12/19 頁



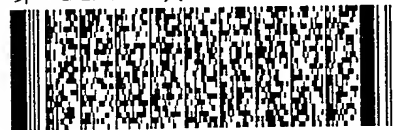
第 12/19 頁



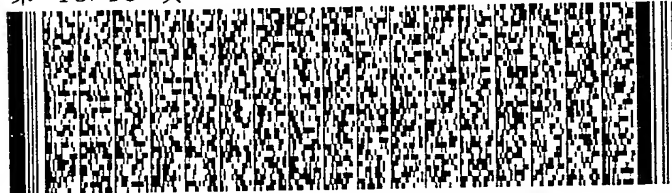
第 13/19 頁



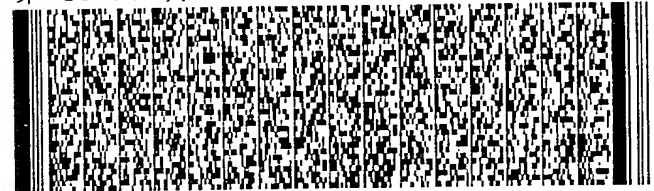
第 14/19 頁



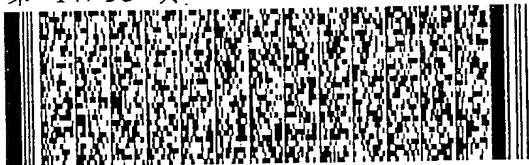
第 15/19 頁



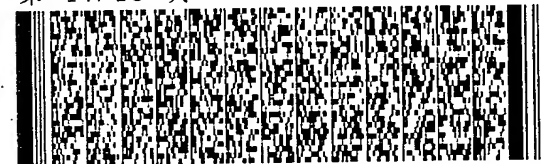
第 16/19 頁



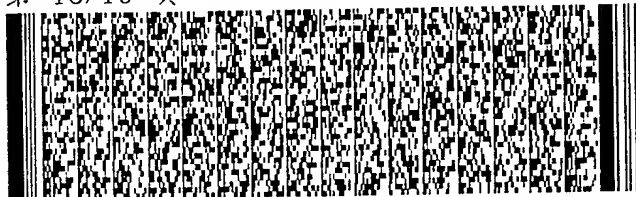
第 17/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

